

# 1. НАЗНАЧЕНИЕ. СХЕМО-ТЕХНОЛОГИЧЕСКОЕ ИСПОЛНЕНИЕ. ОБЛАСТЬ ПРИМЕНЕНИЯ.

Микросхема КР512ВИ1 - времязадающая схема, представляет собой таймер - часы реального времени (ТЧРВ), предназначена для непрерывного счета времени с выдачей программируемых сигналов прерывания в системах на базе микропроцессоров, микрокомпьютеров, микро-ЭВМ.

Микросхема выполнена по КМОП-технологии. Количество элементов в схеме - 4727.

## 2. КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ

Габаритный чертеж приведен на рис. 1.

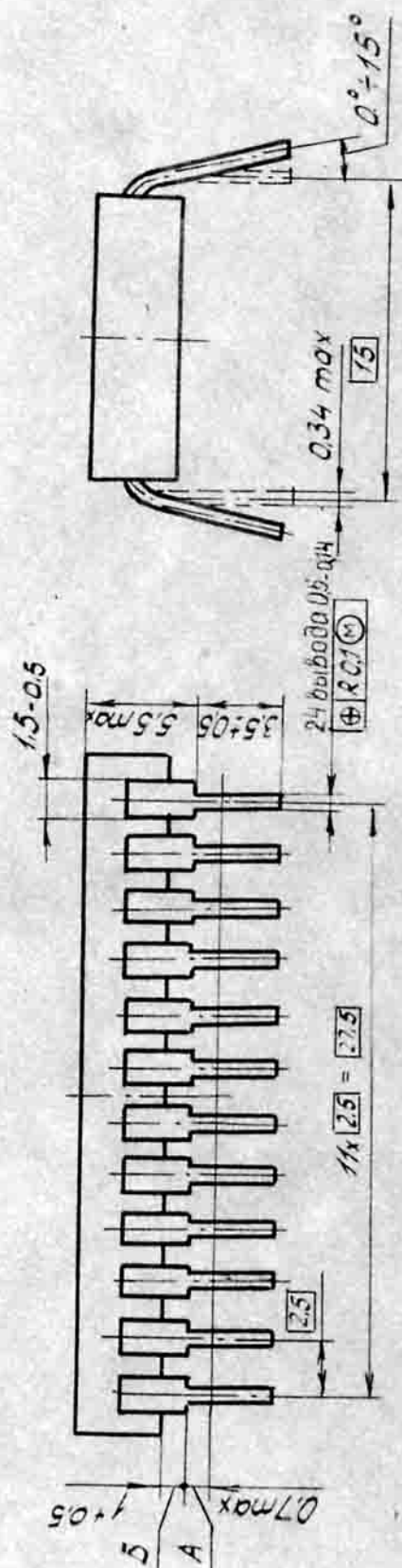
СКЭН.431322.002 Д1

Петровская  
Пронина  
Ги констр Кособрых  
Селюткина

Микросхема КР512ВИ1  
Справочный лист

① & A 2 50

51736 May 19.04.85



А — зона вывода, в пределах которой установлено смещение осей выводов от номинального расположения

Б — длина вывода, обеспечивающая гарантированный зазор между плоскостью основания микросхемы и установочной плоскостью Корпуса 239.24-2 Пластмассовый

Материал покрытия выводов ПОС 61

Масса микросхемы не более 4 г

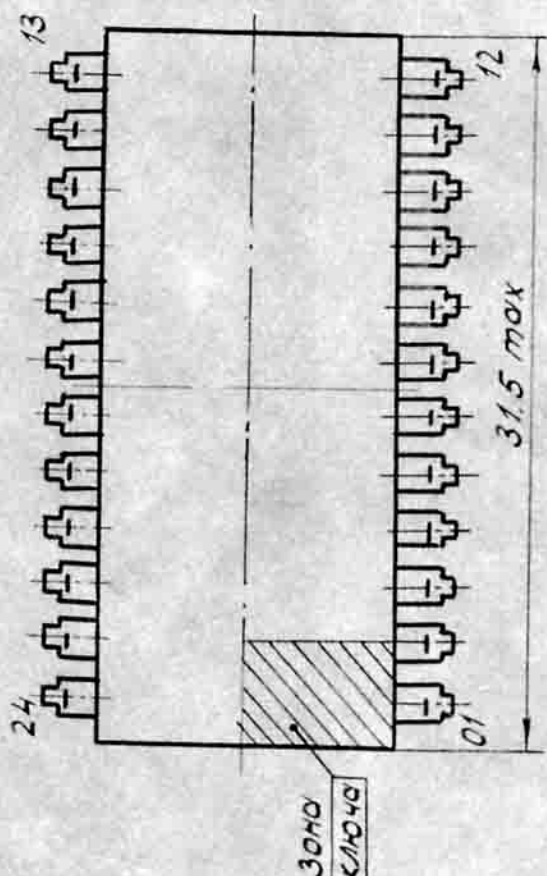


Рис. 1

### 3. ДОПУСТИМЫЕ ВОЗДЕЙСТВУЮЩИЕ ФАКТОРЫ ПРИ ЭКСПЛУАТАЦИИ

Синусоидальная вибрация:

диапазон частот, Гц

1-2000

амплитуда ускорения,  $\text{м/с}^2 (g)$

100(10)

Механический удар одиночного

действия:

пиковое ударное ускорение,  $\text{м/с}^2 (g)$

1500(150)

длительность действия ударного

ускорения, мс

0,1 - 2,0

Механический удар многократного

действия:

пиковое ударное ускорение,  $\text{м/с}^2 (g)$

1500(150)

длительность действия ударного

ускорения, мс

1 - 3

Линейное ускорение,  $\text{м/с}^2 (g)$

1000(100)

Пониженная рабочая температура среды,  $^{\circ}\text{C}$

минус 10

Повышенная рабочая температура среды,  $^{\circ}\text{C}$

70

Изменение температуры среды,  $^{\circ}\text{C}$

от минус 10

до 70

Относительная влажность при

температуре  $35^{\circ}\text{C}$  без конденсации влаги, %

98

Атмосферное пониженное давление, Па

(мм.рт.ст.)

26664(200)

Атмосферное повышенное давление, Па

( $\text{кгс/см}^2$ )

294139(3)

Исполн.	Провер.	Утверд.	Дата
51730			

СМЧ.431321.002 Л1



1051-

И.з. № докум. Подп. и дата. Е.и.и. №. И.и.и. №. Дата докум.

57730 10.04.86

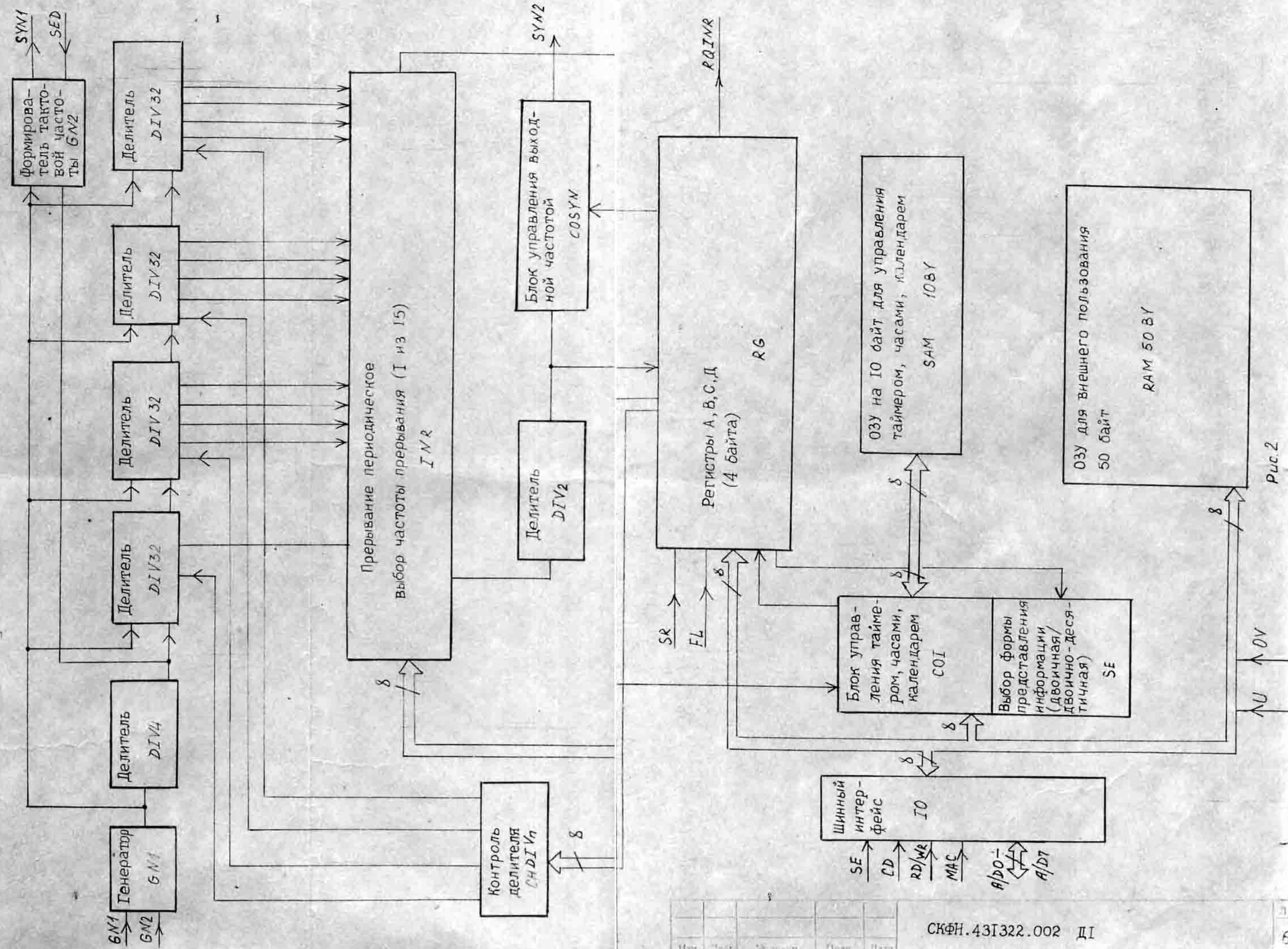


Рис. 2

# Условное графическое обозначение

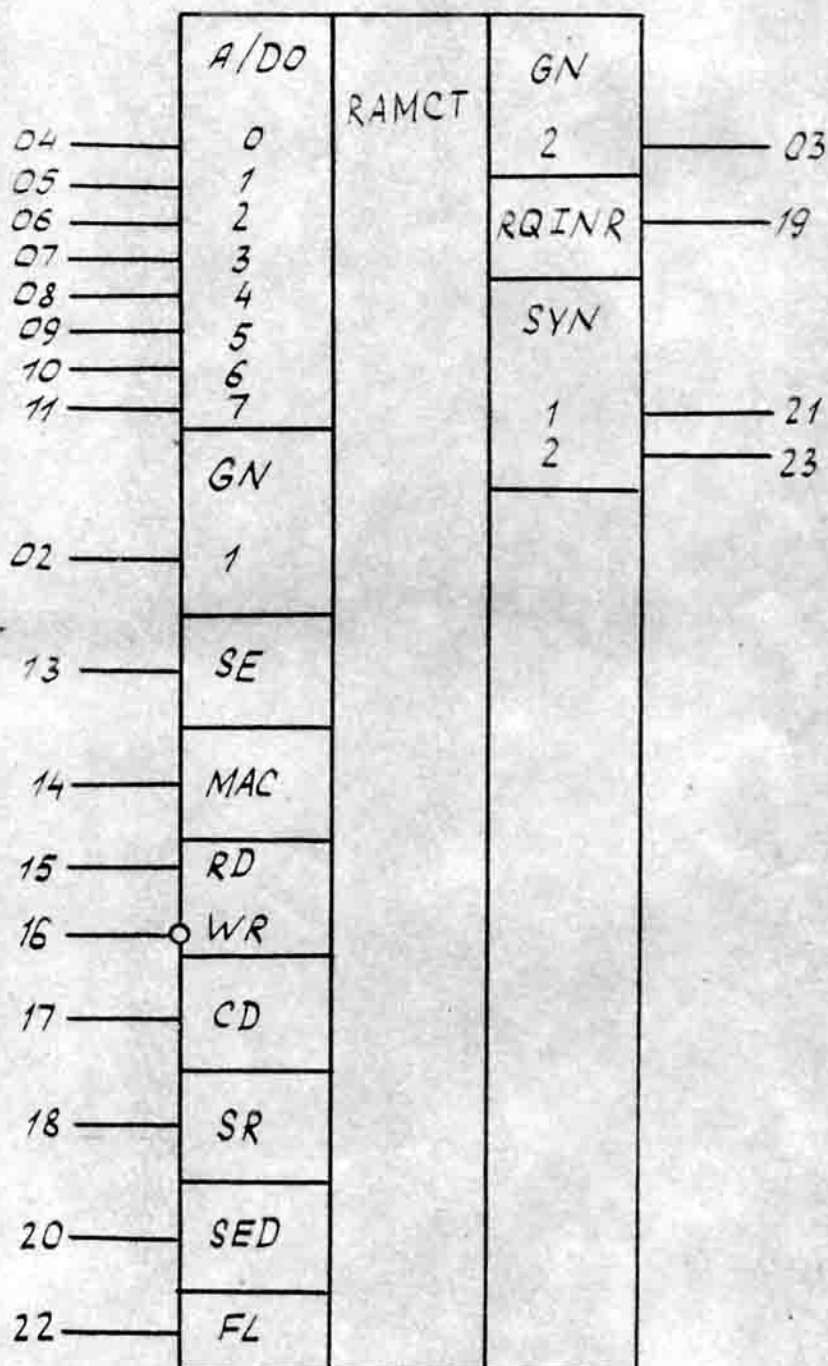


Рис. 3

Микроschema состоит из следующих основных блоков:

- 1) схемы генератора;
- 2) делители с суммарным коэффициентом деления  $K_S = 2^{22}$ ;
- 3) блока формирования тактовой частоты;
- 4) блока управления периодическими прерываниями;
- 5) блока управления коэффициентом деления делителя;
- 6) схемы записи управляющих логических состояний, предназначенных для управления коэффициентом деления делителя;
- 7) делители  $K_g = 2$ ;
- 8) схемы управления выходной частотой;
- 9) регистров A, B, C, D;
- 10) дешифраторов адреса ОЗУ общего пользования и головного ОЗУ;
- 11) шинного интерфейса;
- 12) схемы управления таймером;
- 13) схемы управления выбором формы представления обрабатываемой информации (двоичная/двоично-десятичная, 12-часовой/24 часовой формат);
- 14) ОЗУ на 10 байт для управления таймером;
- 15) ОЗУ для внешнего пользования 50 байт.



Таблица I

Номер вывода	Назначение
02	Вход кварцевого генератора GN1
03	Выход кварцевого генератора GN2
04	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D0
05	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D1
06	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D2
07	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D3
08	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D4
09	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D5
10	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D6
11	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D7
12	<del>Вход общий</del> <i>04 Общий вывод OV</i> ①
13	Вход "Выбор кристалла" SE
14	Вход "Мультиплексный адресный строб" IAC

## Продолжение табл. I

Номер вывода	Назначение
15	Вход "Чтение-запись" $RD/\overline{WR}$
17	Вход "Строб данных" $CD$
18	Вход "Сброс" $SR$
19	Выход "Запрос на прерывание" $RQ\overline{INR}$
20	Вход выбора значения выходной тактовой частоты $SED$
21	Выход тактовой частоты $SYN1$
22	Вход "Сбой питания" $FL$
23	Выход промакуточных каскадов делителя частоты тактовых импульсов $SYN2$
24	Вывод питания от источника напряжения $U$ <del>Вход питания</del> $U_{cc}$ ①

01801

План 3 к 1

План 4 к 1

План 5 к 1

План 6 к 1

План 7 к 1

51730 100186



# МИКРОСХЕМА КР512ВИ1

## ТЕХНИЧЕСКОЕ ОПИСАНИЕ

### 1. НАЗНАЧЕНИЕ

1.1. Микросхема КР512ВИ1 - времязадающая схема (таймер), предназначена для применения в системах на базе микропроцессоров, микрокомпьютеров, микро-ЭВМ и т.п.

### 2. УСТРОЙСТВО И ПРИНЦИП РАБОТЫ

2.1. Микросхема является таймером-часами реального времени (ТЧРВ), предназначена для непрерывного счета времени с выдачей программируемых сигналов прерывания в системах на базе микропроцессоров, микрокомпьютеров, микро-ЭВМ и т.п. В составе микросхемы имеется маломощное быстродействующее оперативное запоминающее устройство (ОЗУ) оперативной памяти на 50 байт, которое облегчает создание программного обеспечения этих систем и повышает их быстродействие.

Выполняемые функции:

- 1) счет текущего времени (секунды, минуты, часы);
- 2) таймер, обеспечивающий выдачу сигналов прерываний трех типов;
- 3) календарь на 100 лет с поправкой на високосный год;
- 4) генератор прямоугольных импульсов;
- 5) ОЗУ на 50 байт для внешнего пользователя.

СКФН.431322.002 ТО

Микросхема КР512ВИ1

Техническое описание

0, А 1 23

①

СКФН 431322.002

МФН

План

Масштаб

Рис. 1

Лист 1

51731

Питомская  
Пронина  
Гл. констр. Кособрухов  
Селюткина  
Сидоров

14.10  
8.5  
15.10  
15.10  
10.01.86  
10.11.86

2.2. Назначение и нумерация выводов микросхемы приведены в табл. I.

2.3. Структурная схема микросхемы приведена на рис. I.

Микросхема включает в себя следующие основные блоки:

- схему генератора;
- делитель с суммарным коэффициентом деления  $K_s = 2^{22}$ ;
- блок формирования тактовой частоты;
- блок управления периодическими прерываниями;
- блок управления коэффициентом деления делителя;
- (ж) схему записи управляющих логических состояний, предназначенных для управления коэффициентом деления делителя;
- делитель  $K_g = 2$ ;
- схему управления выходной частотой;
- регистры А, В, С, Д;
- дешифраторы адреса ОЗУ общего пользования и часового ОЗУ;
- шинный интерфейс;
- схему управления таймером;
- схему управления выбором формы представления обрабатываемой информации (двоичная/двоично-десятичная, 12-часовой/24-часовой формат);
- ОЗУ на 10 байт для управления таймером;
- ОЗУ для внешнего пользования 50 байт.

#### 2.4. Назначение блоков

Схема генератора совместно с кварцевым резонатором вырабатывает тактовые импульсы, являющиеся базовыми при отсчете текущего времени и синхронизирующие работу всей схемы. Блок формирования тактовой частоты вырабатывает на выводе *SYN1* импульсы по значению частот, равные тактовой частоте  $f_T$  или же  $\frac{f_T}{4}$ .

Блок управления периодическими прерываниями предназначен для формирования управляющих сигналов, определяющих вид системного



Таблица I

Номер вывода	Назначение
02	Вход кварцевого генератора GN1
03	Выход кварцевого генератора GN2
04	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D0
05	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D1
06	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D2
07	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D3
08	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D4
09	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D5
10	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D6
11	Вход/выход "Двухнаправленная мультиплексная шина адресов/данных" A/D7
12	<del>Вход обшей</del> <i>OK Общий вывод OV</i> ①
13	Вход "Выбор кристалла" SE
14	Вход "Мультиплексный адресный строб" MAC
15	Вход "Чтение-запись" RD/ $\overline{WR}$



Продолжение табл. I

Номер вывода	Назначение
17	Вход "Строб данных" <i>CD</i>
18	Вход "Сброс" <i>SR</i>
19	Выход "Запрос на прерывание" <i>RQINR</i>
20	Вход выбора значения выходящей тактовой частоты <i>SED</i>
21	Выход тактовой частоты <i>SYN1</i>
22	Вход "Сбой питания" <i>FL</i>
23	Выход промежуточных каскадов делителя частоты тактовой импульсов <i>SYN2</i>
24	Вывод питания от источника напряжения <i>U</i>

Имя и дата	Имя и дата	Имя и дата	Имя и дата
54731	May 1974.86		

прерывания: прерывание по окончании цикла обновления; по периоду; по будильнику.

Блок управления коэффициентом деления делителя предназначен для управления выбором временных баз.

Делитель с суммарным коэффициентом деления  $2^{22}$  вырабатывает импульсы, тактирующие блок счета текущего времени.

Схема управления выходной частотой предназначена для выбора одного из 15 возможных значений частоты импульсов на выходе SYN2.

Регистр А предназначен для хранения информации, управляющей блоком управления коэффициентом деления делителя, схемой управления выходной тактовой частотой, хранения информации о моменте наступления обновления.

Регистр В служит для хранения записываемых извне данных, управляющих блоками: управления периодическими прерываниями, таймером, формой представления обрабатываемой информации (код двоичный/двоично-десятичный), часовым форматом (12/24 часа), будильниками по секундам, минутам, часам, всеми видами системных прерываний, обновлением информации.

Регистр С предназначен для регистрации внутренних состояний схемы, делающих возможным организацию системных прерываний трех видов.

Регистр Д предназначен для сигнализации о нормальном или аварийном завершении переключения питания микросхемы от сетевого источника на автономный и наоборот.

Шинный интерфейс предназначен для ввода (вывода) информации, формирует сигналы управления схемами ввода/вывода.

Дешифратор адреса ОЗУ общего пользования предназначен для дешифрации адресов ОЗУ общего пользования, задаваемых извне через схемы ввода/вывода.

Схема управления таймером осуществляет обработку загружаемых



данных (ежесекундно), вычисляет значение секунд, минут, часов, дней недели, дней месяца, месяца, года в двоичном или двоично-десятичном коде. Осуществляет учет високосных лет, переход, при необходимости, с летнего времени на зимнее и с зимнего на летнее, расчет текущего времени в двух форматах 24/12 часов, проводит сравнение вновь рассчитанных значений текущего времени с данными о времени загруженными в регистры будильников секунд, минут, часов и при совпадении формирует соответствующее сообщение, записываемое в регистр С.

ОЗУ на 10 байт предназначено для управления таймером, часами, календарем, для записи исходной информации о текущем времени, для перезаписи вновь рассчитанной информации о текущем времени.

ОЗУ для внешнего пользования на 50 байт предназначено для записи/чтения произвольной информации.

## 2.5. Описание входных и выходных сигналов

На рис. 1 показана связь основных функциональных блоков с выводами микросхемы.

### Назначение выводов:

Выводы  $GN1$ ,  $GN2$  предназначены для организации кварцевого генератора. Без использования кварцевого генератора тактовая частота  $f_T$  подается на вывод  $GN1$ . Коэффициент деления и значение тактовой частоты  $f_T$  определяются совокупностью логических состояний в регистре А, записываемых в регистр А через выводы  $A/D0 - A/D7$ . В зависимости от состояния регистра А значения  $f_T$  могут быть 4,194304 МГц, 1,048576 МГц, 32768 Гц. Значение частоты на выводе  $SYN1$  определяется значением тактовой частоты  $f_T$  и состоянием на выводе  $SED$ , как показано в табл. 2.



Таблица 2.

Значение $f_T$ (6N1)	Состояние на выводе SED	Значение частоты на выводе SYN1
4,194304 МГц	$U^1$	4,194304 МГц
4,194304 МГц	$U^0$	1,048576 МГц
1,048576 МГц	$U^1$	1,048576 МГц
1,048576 МГц	$U^0$	262,144 кГц
32768 Гц	$U^1$	32768 Гц
32768 Гц	$U^0$	8192 Гц

Когда на выводе SED подан высокий уровень значение частоты импульсов на выводе SYN1 имеет то же значение, что и тактовая частота  $f_T$ . Если на вывод SED подан низкий уровень, то значение частоты на выводе SYN1 равно  $\frac{f_T}{4}$ .

На вывод SYN2 подаются импульсы с частотой, которая является результатом деления тактовой частоты  $f_T$  на один из пятнадцати коэффициентов деления. Коэффициент деления  $K_g = 2^{22}$  выбирается из табл. 3. Состояние вывода SYN2 зависит от состояния бита SQWE в регистре В.

Выводы A/D0 - A/D7 предназначены для организации циклов записи/чтения. В режиме записи выбирается адрес записываемой ячейки (ЗЯ), затем осуществляется запись данных. В режиме чтения так же сначала выбирается адрес, а затем считываются данные из ОЗУ.

Вывод MAC предназначен для выборки адреса ЗЯ в ОЗУ. При установлении низкого уровня  $U^0$  на выводе MAC адрес, установленный на выводах A/D0 - A/D7, поступает в ОЗУ.

Вывод CD предназначен для инициализации операций чтение/запись данных. Во время цикла записи при установлении высокого уровня

Таблица 3

Логическое состояние в битах регистра А				$f_T = 4,194304$ или $1,048576$ МГц		$f_T = 32,768$ кГц	
RS3	RS2	RS1	RS0	Период	Значение частоты на выводе SYN2	Период	Значение частоты на выводе SYN2
0	0	0	0	-	-	-	-
0	0	0	1	30,517 мс	32,768 кГц	3,90625 мс	256 Гц
0	0	1	0	61,035 мс	16,384 кГц	7,8125 мс	128 Гц
0	0	1	1	122,070 мс	8,192 кГц	122,070 мс	8,192 кГц
0	1	0	0	244,141 мс	4,096 кГц	244,141 мс	4,096 кГц
0	1	0	1	488,281 мс	2,048 кГц	488,281 мс	2,048 кГц
0	1	1	0	976,562 мс	1,024 кГц	976,562 мс	1,024 кГц
0	1	1	1	1,953125 мс	512 Гц	1,953125 мс	512 Гц
1	0	0	0	3,90625 мс	256 Гц	3,90625 мс	256 Гц
1	0	0	1	7,8125 мс	128 Гц	7,8125 мс	128 Гц
1	0	1	0	15,625 мс	64 Гц	15,625 мс	64 Гц
1	0	1	1	31,25 мс	32 Гц	31,25 мс	32 Гц
1	1	0	0	62,5 мс	16 Гц	62,5 мс	16 Гц
1	1	0	1	125 мс	8 Гц	125 мс	8 Гц
1	1	1	0	250 мс	4 Гц	250 мс	4 Гц
1	1	1	1	500 мс	2 Гц	500 мс	2 Гц

на выводе  $CD$  осуществляется считывание информации, содержащейся в ранее выбранных ячейках ОЗУ на выводах  $A/D0 - A/D7$ .

Вывод  $RD/WR$  определяет вид цикла. При подаче высокого уровня  $U^1$  на вывод  $RD/WR$  осуществляется чтение, при подаче низкого уровня  $U^0$  — запись.

Вывод  $SE$  осуществляет управление выводами  $A/D0-A/D7$ ,  $MAG$ ,  $CD$ ,  $RD/WR$ . При подаче высокого уровня на вывод  $SE$  выводы  $MAG$ ,  $CD$ ,  $RD/WR$  перестают быть управляющими, а выводы  $A/D0-A/D7$  блокируются. Данные, записанные в ОЗУ, сохраняются и могут быть считаны при наличии на выводе  $SE$  низкого уровня. Состояние низкого уровня на выводе  $SE$  разблокирует выводы  $A/D0 - A/D7$  и переводит микросхему в режим, при котором можно организовать режим чтение/запись.

Вывод  $RQINR$  служит системным сообщением для процессора. Если в регистре  $C$  запрограммировано прерывание любого из трех видов, вывод  $RQINR$  находится в состоянии низкого уровня. Если прерывание не запрограммировано, вывод находится в состоянии высокого уровня.

Вывод  $SR$  предназначен для обнуления разрядов в регистрах:

- 1) бит  $P1E$  в регистре  $B$  — в "0"
- 2) бит  $A1E$  в регистре  $B$  — в "0"
- 3) бит  $U1E$  в регистре  $B$  — в "0"
- 4) бит  $UF$  в регистре  $C$  — в "0"
- 5) бит  $IRQF$  в регистре  $C$  — в "0"
- 6) бит  $PF$  в регистре  $C$  — в "0"
- 7) бит  $AE$  в регистре  $C$  — в "0"
- 8) бит  $SQWE$  в регистре  $B$  — в "0"
- 9) вывод  $RQINR$  устанавливается в "1"

Обнуление (сброс) осуществляется при наличии низкого уровня на выводе  $SR$ .



При включении питания или обое питания вывод SR должен находиться в состоянии низкого уровня, причем время пребывания вывода SR в состоянии низкого уровня не должно быть меньше 5 мкс.

Вывод FL предназначен для обнуления бита URT в регистре D. При включении питания или обое вывод FL должен находиться в состоянии низкого уровня, т.к. в противном случае содержимое ССЧ, регистров времени и календаря бита URT не гарантируется. После прекращения обое питания вывод FL должен находиться в состоянии высокого уровня, в этом случае бит URT сбрасывается путем чтения регистра.

## 2.6. Распределение адресов в I/O TPR

Блок памяти состоит из 50 байт внешнего пользования, 10 байт адресов/данных, 4 байт регистров A, B, C, D. 10 байт адресов/данных состоит из байт секунд, байт минут, байт часов, байт дней недели, байт числа месяца, байт лет, байт будильника секунд, байт будильника минут, байт будильника часов. Со всеми 64 байтами можно осуществлять операции запись/чтение за исключением:

- 1) регистры C и D только считываемы;
- 2) бит 7 в регистрах A и B только считываемый;
- 3) старший бит в байте секунд только считываемый.

## 2.7. Время, календарь, будильник

Процессорная программа предусматривает возможность загрузки исходных данных в 10 байтов через двунаправленную магистраль ввода/вывода и чтения результата после обработки загруженных данных. Есть возможность осуществлять загрузку и чтение информации в байты календаря, часов, минут, секунд и будильников в двоичном и двоично-десятичном коде. До инициализации внутренних регистров бит SET в регистре B должен быть установлен высокий уровень.

для предотвращения преждевременного обновления в процессе загрузки байтов, календари времени, будильника. Причем, загружаемая и считываемая информация должна быть в одном коде: либо в двоичном, либо в двоично-десятичном. После загрузки бит SET в регистре В должен устанавливаться низкий уровень, процесс обновления разрешается. Выбор кода осуществляется путем записи информации в бит DM регистра В, причем, изменять состояние регистра DM нельзя между приходами обновления, т.е. в процессе обработки загруженной информации. Табл. 4 показывает примеры представления информации, записываемой и считываемой в 10 байт ОЗУ (календарь, время, будильник) в двоичном и двоично-десятичном кодах.

Бит 12/24 в регистре В, этот бит позволяет управлять формой представления байта часов, т.е. если в бит RM записана "1", то информация о часах будет представлена в 12 часовом варианте (в диапазоне от 1 до 12 часов), если в бит RM записан "0", то информация о часах будет представлена в 24 часовом варианте (в диапазоне от 0 до 23 часов). Бит 12/24 в регистре В можно изменить только после считывания результата обработки байта часов. Байты времени, календари, будильника не всегда доступны процессорной программе. Раз в секунду после обновления содержания байтов времени и календаря полученная информация сравнивается с содержанием байтов будильников, кроме того, осуществляются все внутренние операции, относящиеся к байтам времени и календаря, запрограммированные в регистрах состояния А, В, С, Д. Все эти операции проходят при тактовой частоте 4,194304 МГц, 1,048576 МГц за 248 мкс и при тактовой частоте 32,768 кГц за 1948 мкс. В это время не должна осуществляться операция считывания, т.к. состояния в байтах времени и календаря не определены. Три байта будильника могут быть использованы в двух режимах. Первый режим: в случае, если в бите разрешения работы будильника установлено состояние высокого

Таблица 4

	Функция	диапа- зон	Диапазон		Пример	
			двоичный код	двоично- десятичный код	двоич- ный код	двоично- десятич- ный код
0	Секунды	0-59	500-53B	500-559	15	21
1	Будильник секунд	0-59	500-53B	500-559	15	21
2	Минуты	0-59	500-53B	500-559	3A	58
3	Будильник минут	0-59	500-53B	500-559	3A	58
4	Часы (12 часовой вариант)	1-12	501-10C (AM) и 581-58C (PM)	501-512 (AM) и 581-592 (PM)	05	05
	(24 часовой вариант)	0-23	500-517	500-523	05	05
5	Будильник часов (12 часовой вариант)	1-12	501-50C (AM) и 581-58C (PM)	501-512 (AM) и 581-591 (PM)	05	05
	(24-часовой вариант)	0-23	500-517	500-523	05	05
6	Дни недели Воскресенье=1	1-7	501-507	501-507	05	05
7	Числа месяца	1-31	501-51F	501-531	0F	15
8	Месяц	1-12	501-50C	501-512	02	02
9	Год	0-99	500-563	500-599	4F	79



уровня и в байтах будильников по секундам, минутам, часам загружены данные, то срабатывают будильники секунд, минут, часов. При сравнении полученных результатов отсчета времени со значением времени, установленным в байтах будильников, будильники будут срабатывать (при неизменной загрузке байтов будильников) каждый день в одно и то же время. Второй режим: существует возможность блокировать работу будильников, т.е. даже при наличии разрешающего состояния в бите  $AIE$  регистра В можно заблокировать работу будильников секунд, минут, часов путем загрузки в байты будильников данных от  $00$  до  $FF$ .

ОЗУ для внешнего пользования 50 байт используется в процессорной системе. При необходимости в процессорный комплект могут подключаться несколько микросхем.

Функции календаря и времени могут быть запрещены путем:

- 1) установки необходимых состояний в битах  $DV0 - DV2$  регистра А;
- 2) при помощи бита  $SET$  регистра В;
- 3) путем отключения генератора.

Использование бита  $SET$  в регистре В позволяет получать при блокировке функций времени и календаря функцию прерывания и функционирующий вывод  $SYN2$ . В случае блокировки работы делителя (все три способа) емкость ОЗУ внешнего пользования расширяется до 59 байт. В ОЗУ внешнего пользования не могут быть использованы старший бит в байте секунд, бит 7 регистра А, все биты регистров В, С, Д.

Микросхема имеет три обособленных друг от друга режима прерываний:

- 1) прерывания по будильнику могут быть организованы с периодичностью от "через каждую секунду" до "через каждый день";
- 2) периодические прерывания могут быть установлены от  $1/2$  с

до 30,517 мкс;

3) прерывания по окончании цикла обновления.

Программа от процессора устанавливает один из трех видов прерываний.

Три бита в регистре В соответствуют трем видам прерываний. Запись "1" в биты прерываний позволяет сформировать сигнал прерывания после получения результата обработки загруженных в данные OSU на IO байт. При записи в биты прерываний "0" запрещается прерывание и блокируется вывод  $RQINR$ . Если в регистре С установлен какой-либо флаг прерываний (могут быть установлены в "1" все флаги) и так же установлен в "1" какой-либо соответствующий бит, разрешающий прерывание в регистре В, вывод  $RQINR$  устанавливается в состояние низкого уровня. Прерывание может появиться гораздо раньше (одновременно с установлением любого флага в регистре С "1"). Состояния битов флагов прерываний в регистре С свидетельствуют только об организации прерывания и никак не зависят от состояний битов разрешения прерывания в регистре В. Вывод  $RQINR$  находится в состоянии низкого уровня до тех пор, пока в бите флага прерывания регистра С и соответствующего ему бита, разрешающего прерывание в регистре В, состояние высокого уровня. Обнуление флаговых битов в регистре С целесообразнее всего проводить путем чтения регистра С. Состояние бита  $IRQF$  в регистре С свидетельствует о наличии прерывания.

Чтение флаговых битов в регистре С осуществляется через двойную защелку, что позволяет в процессе чтения регистра С получать верные считываемые данные.

Делитель состоит из 22 D-триггеров с коэффициентом деления  $K_d = 2$ , обрабатывающих тактовую частоту  $\frac{f_T}{2^{K_d}} = 1 \text{ Гц}$ .

Суммарный коэффициент деления задается посредством записи в биты  $D0, D1, D2$  соответствующих состояний в регистре А.

## 2.8. Управление делителем

Делитель имеет три режима работы с тактовой частотой  $f_T$  4,194304 МГц, 1,043576 МГц, 32,768 кГц. Для получения точного отсчета времени есть возможность сброса делителя (посредством регистра А, биты D0 - D2). После сброса первый цикл обновления наступит через 0,5 с.

## 2.9. Выбор значения частоты (периода) на выходе SYN2

Делитель с коэффициентом деления  $K_d = 2^{24}$  имеет 15 промежуточных выходов, коммутируемых на вывод SYN2. Частота на выводе SYN2 определяется состоянием бит RS0 - RS3 в регистре А и состоянием бита SQWE в регистре В. Вывод SYN2 генерирует импульсы по периоду, равные времени между двумя возможными ситуациями периодических прерываний. Вывод SYN2 можно использовать как источник опорной частоты для внешнего пользователя.

## 2.10. Выбор периодических прерываний

Вывод SYN2 определяется в первую очередь состоянием бита SQWE в регистре В. Периодическое прерывание управляется регистром В бит. PIE. Эти функции независимы друг от друга, т.е. вывод SYN2 может не переключаться, но в то же время можно организовать прерывание по периоду и наоборот.

Цикл обновления осуществляется каждую секунду для каждой из трех имеющихся временных баз 4,194304 МГц, 1,043576 МГц, 32,768 кГц в зависимости от бит DV0 - DV2 в регистре А и бита SET в регистре В. Если в бит SET записана "1", то цикл обновления запрещается. Во время цикла обновления осуществляется сравнение данных загруженных в байты будильников с результатом обработки исходных данных, загруженных в байты секунд, минут, часов и при совпадении выдается сообщение о срабатывании будильника. Осуществ-



влять чтение из регистров календаря, времени, будильников во время прохождения цикла обновления запрещается, т.к., записанные или считанные данные могут оказаться неверными. Для различных временных баз длительность цикла обновления так же различна. В табл. 5 показана эта зависимость.  $UIP$  бит регистра А свидетельствует о возможности осуществления цикла обновления. Наличие "0" при считывании бита  $UIP$  свидетельствует о том, что цикл обновления в данный момент времени не проходит и не будет проходить еще ближайшие 244 мс. Для всех временных баз наличие "1" в  $UIP$  бите свидетельствует об осуществлении цикла обновления или о том, что он скоро начнется. В этом случае осуществлять операции чтения/записи из/в биты календаря, времени, будильников запрещается. Избежать ситуации попадания на цикл обновления при чтении/записи можно следующим образом:

1) установив в регистре В разрешение на прерывание по окончании цикла обновления;

2) осуществлять чтение  $UIP$  бита регистра А.

## 2.11. Регистры

Микросхема имеет четыре регистра состояний А, В, С, Д.

Регистр А содержит биты  $UIP$ ,  $DV2$ ,  $DV1$ ,  $DV0$ ,  $RS3$ ,  $RS2$ ,  $RS1$ ,  $RS0$ .

Бит обновления  $UIP$  используется процессорной программой. Запись чтения в биты времени, календаря, будильника можно осуществлять, когда  $UIP$  бит в состоянии низкого уровня. Бит  $UIP$  только считываемый и сбросом  $SR$  не очищается. Бит  $UIP$  очищает запись "1" в бит  $SET$  регистра В, в то же время запрещается обновление. Биты  $DV2$ ,  $DV1$ ,  $DV0$  позволяют выбрать базу времени посредством управления делителем с  $K_d = 2^{22}$  (см. табл. 6). Эти же биты позволяют осуществить сброс делителя. Биты  $DV0-DV2$

могут записываться и считываться. Первый цикл обновления после сброса делителя начинается спустя 0,5 с после сброса делителя. Вывод SR на биты DVO - DV 2 не действует. Варьируя логические состояния на битах RS3, RS2, RS1, RS0 посредством записи, можно устанавливать различные периоды частоты на выводе SYN2. (см. табл.6), различные периоды прерываний. Причем, устанавливая необходимые логические состояния в битах PIE и SQWE, можно организовать следующий алгоритм работы:

1) осуществляется периодическое прерывание и на выводе SYN2 присутствует переменный выходной сигнал;

2) осуществляются только периодические прерывания;

3) функционирует только вывод SYN2

Биты RS3 - RS0 считываемые/записываемые. Вывод SR на биты RS3 - RS0 не действует.

Регистр B содержит биты SET, PIE, AIE, CIE, SQWE, DM, 34/12, DSE.

Если в бите SET логический "0", цикл обновления разрешается, если логический "1", то цикл обновления запрещается. Бит SET считываемый/записываемый. Вывод SR на бит SET не действует. Бит PIE - считываемый/записываемый. О периодических прерываниях, период которых выбран посредством записи необходимой комбинации логических состояний в битах RS0 - RS3 регистра A, свидетельствует вывод RQINR, который при наличии периодического прерывания устанавливается в логический "0". Логический "0" в бите PIE запрещает периодические прерывания. Состояние бита PIE не влияет на флаговый бит PF периодического прерывания в регистре C.

Бит PIE сбрасывается в логический "0" выводом SR.

Бит AIE - чтение/запись. Логическая "1" в бите AIE разрешает прерывание по будильнику. Логический "0" в бите AIE запрещает прерывание по будильнику. Бит AIE сбрасывается в "0" выводом SR.

Таблица 5

Частотная база	Бит регистра А			Возможность дуплицирования	Сброс делителя	Количество отключаемых триггеров
	DV2	DV1	DV0			
4,194304 МГц	0	0	0	Да	-	$N = 0$
1,048576 МГц	0	0	1	Да	-	$N = 2$
32,768 кГц	0	1	0	Да	-	$N = 7$
-	1	1	0	Нет	Да	-
-	1	1	1	Нет	Да	-

Таблица 6

Бит UIP	База времени GN1	Длительность цикла обновления	Минимальное время до цикла обновления
1	4,194304 МГц	248 мс	-
1	1,048576 МГц	248 мс	-
1	32,768 кГц	1984 мс	-
0	4,194304 МГц	-	244 мс
0	1,048576 МГц	-	244 мс
0	32,768 кГц	-	244 мс



Логическое состояние бита AIE не оказывает влияние на флаговый бит AF в регистре C.

Бит CIE - чтение/запись. Логическая "1" в бите CIE разрешает прерывание по окончании цикла обновления. Логический "0" в бите CIE запрещает прерывание по окончании цикла обновления. Бит CIE сбрасывается в "0" выводом SR или битом SET. Логическое состояние бита CIE не оказывает влияние на флаговый бит UF в регистре C.

Бит SQWE - считываемый/записываемый. Бит SQWE управляет состоянием вывода SYN2. Когда в бит SQWE записана "1", на выводе SYN2 формируется сигнал с периодом, заданным посредством битов RS3 - RS0 регистра A. Если в бите SQWE "0", то вывод SYN2 заблокирован и находится в состоянии "0". Бит SQWE сбрасывается в "0" выводом SR.

Бит DM - запись/считывание. Логическая "1" в бите DM обеспечивает двоичный код считывания и представления данных. Логический "0" в бите DM обеспечивает двоично-десятичный код считывания и представления данных. Вывод SR на состояние бита DM не влияет.

Бит 24/I2 - считываемый/записываемый. Бит 24/I2 задает формат часов от 1 до 12 ч и от 0 до 23 ч. Если в бите 24/I2 записана "1", то формат от 0 до 23 ч. Если в бите 24/I2 записан "0", то формат от 1 до 12 ч.

Бит DSE - считываемый/записываемый. С помощью бита DSE осуществляется переход с зимнего времени на летнее и с летнего времени на зимнее. Если в бите DSE установлена "1", то в последнее воскресенье апреля осуществляется переход с 1ч 59 мин. 59 с на 03 ч. 00 мин. 00 с.

В последнее воскресенье октября осуществляется переход с 00 ч 59 мин 59 с на 01 ч 00 мин 00 с. Если в бите DSE установлен

"0", то переход времени не осуществляется.

Регистр С содержит биты  $IRQF$ ,  $PF$ ,  $AF$ ,  $UF$ ,  $B3-B0$ ;

Бит  $IRQF$  устанавливается в состояние логической "1", <sup>если</sup> осуществляется ситуация:

$$PF = PIF = 1; \quad AF = AIE = 1; \quad UF = UIE = 1,$$

т.е.  $IRQF = PF \cdot PIF + AF \cdot AIE + UF \cdot UIE$ .

Во всех других случаях бит  $IRQF$  находится в состоянии логического "0". Очищается бит  $IRQF$  посредством сброса, либо после чтения регистра С.

Бит  $PF$  - флаг периодических прерываний.

Бит  $PF$  устанавливается в логическую "1" при возникновении ситуации возможности периодического прерывания (только считываемый). Состояние бита  $PF$  не зависит от состояния бита  $PIE$ . Обнуляется посредством вывода  $SR$  или чтением регистра С.

Бит  $AF$  - флаговый бит прерываний по будильнику (считываемый). Бит  $AF$  устанавливается в логическую "1" при возникновении ситуации, делающей возможным прерывание по будильнику и не зависит от состояния бита  $AIE$ . Бит  $AF$  обнуляется выводом  $SR$  или чтением регистра С.

Бит  $UF$  - флаговый бит прерываний по окончанию цикла обновления (считываемый). Бит  $UF$  устанавливается в логическую "1" при наличии ситуации, делающей возможным организацию прерывания по окончанию цикла обновления и не зависит от состояния бита  $UIE$ . Бит  $UF$  обнуляется выводом  $SR$  или чтением регистра С.

Биты  $B3-B0$  резервные считываемые биты (считывается всегда "0").

Регистр D (считываемый) содержит биты  $RT$ ,  $B6-B0$ .

Бит  $RT$  свидетельствует о правильности данных, содержащихся в ОЗУ после сбоя питания. Логический "0" в бите  $RT$  свидетельствует о том, что сбой питания не нарушил содержания ОЗУ. Бит  $RT$  обну-